

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10256417 A**

(43) Date of publication of application: **25.09.98**

(51) Int. Cl

H01L 23/12

(21) Application number: **09052868**

(71) Applicant: **CITIZEN WATCH CO LTD**

(22) Date of filing: 07.03.97

(72) Inventor: **ISHIDA YOSHIHIRO**

(54) MANUFACTURE OF SEMICONDUCTOR PACKAGE

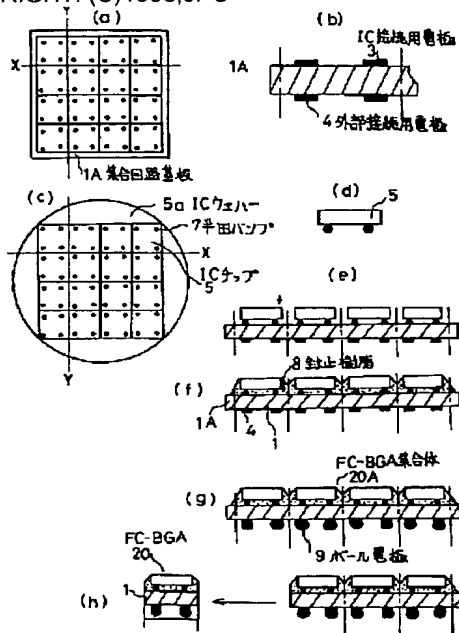
(57) Abstract:

PROBLEM TO BE SOLVED: To manufacture CSPs at low cost with high productivity by cutting a circuit board assembly into individual semiconductor packages after forming electrodes on electrodes for external connection formed on a lower face of the circuit board assembly.

SOLUTION: First of all, in a circuit board manufacturing process, a plurality of electrode patterns for forming electrodes 3 for mounting IC chips and a plurality of electrode patterns for forming electrodes 4 for external connection are formed on faces 1A of a circuit board assembly in proper distribution and arrangement. Next, IC chips 5 are mounted on the electrode patterns and then are resin-sealed. Next comes an electrode formation process wherein electrodes 9 are formed on the electrodes 4 for external connection. A package assembly 20A is thus fabricated. In the next process, the circuit board of the package assembly 20A is cut into separate finished semiconductor packages 20. By this method, in the circuit board assembly, the IC chips 5 can be mounted by a flip chip method with a pitch between adjacent boards being extremely small and therefore a space required for cutting the board assembly into

individual boards is only an extremely small cutting width which is equal to the blade width of a dicing saw and thereby the manufacturing cost can be reduced.

COPYRIGHT: (C)1998,JPO

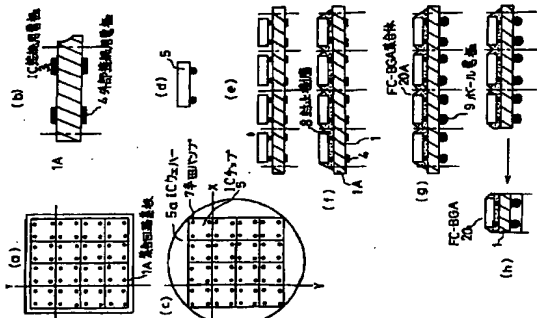


(51) Int. Cl.⁷ H 01 L 23/12 F I H 01 L 23/12 L
特許庁 未請求 請求項の数10 O L (全 6 頁)

(21) 出願番号 特願平9-52868 (71) 出願人 000001690
シチズン時計株式会社
東京都新宿区西新宿2丁目1番1号
(22) 出願日 平成9年(1997) 3月7日 (72) 発明者 石田 芳弘
東京都田原市本町6丁目1番12号 シチズン時計株式会社田原製造所内

(54) 発明の名称 半導体パッケージの製造方法

(57) 【要約】
【課題】 CSPにおいて基板取り個数が少なく、生産コストが高くなる。
【解決手段】 ICチップ5をフリップチップ実装したBGA・LGAの製造方法で、前記IC接続用電極3と外部接続用電極4を形成するための電極パターンとを集合回路基板1A面に複数個分配列して形成する回路基板形成工程と、前記電極パターンに半田パンプ7付きのICチップ5を実装するICチップ実装工程と、該ICチップ5を封止樹脂8で樹脂封止する封止工程と、前記外部接続用電極4にボール電極9を形成する電極形成工程とによりFC・BGA集合回路基板1Aを形成し、該FC・BGA集合体1Aを切削して単個の完成FC・BGA Aを形成する切削工程とからなるFC・BGAの製造方法である。隣接する基板とのピッチを著しく狭く、切削しうのみで基板取りが出来る、CSPとして最適な製造方法で、信頼性及び生産性が優れている。



(2) 【特許請求の範囲】

- 【請求項1】 ICチップをフリップチップ実装した半導体パッケージの製造方法において、前記ICチップ実装用の配線パターンと外部接続用電極を形成するための電極パターンとを集合回路基板面に複数個分配列して形成する回路基板形成工程と、前記配線パターンに前記ICチップを実装するICチップ実装工程と、該ICチップを樹脂封止する封止工程と、前記外部接続用電極に電極を形成する電極形成工程とによりパッケージ集合体を形成し、該パッケージ集合体の回路基板を切削して単個の完成半導体パッケージを形成する切削工程とからなることを特徴とする半導体パッケージの製造方法。
- 【請求項2】 前記パッケージ集合体の回路基板を切削する部分に回路パターンが無いことを特徴とする請求項1記載の半導体パッケージの製造方法。
- 【請求項3】 前記切削工程は、前記パッケージ集合体を接着剤で治具に固定する工程と、切削工程と、剥離工程とからなることを特徴とする請求項1記載の半導体パッケージの製造方法。
- 【請求項4】 前記切削工程における切削しろが、0.2mm以下であることを特徴とする請求項1又は3記載の半導体パッケージの製造方法。
- 【請求項5】 前記単個の半導体パッケージは、その外形寸法が前記ICチップ外形の1.2倍以下であることを特徴とする請求項1記載の半導体パッケージの製造方法。
- 【請求項6】 前記単個の半導体パッケージは、その回路基板の外縁から最外周に位置する外部接続用電極の中心までの距離が、1mm以下であることを特徴とする請求項1又は5記載の半導体パッケージの製造方法。
- 【請求項7】 前記封止工程における封止樹脂が隣接するICチップを跨いで形成され、該封止樹脂を切削工程と同時に切削することを特徴とする請求項1、3又は4記載の半導体パッケージの製造方法。
- 【請求項8】 前記回路基板は、ガラスファイバーを積層した樹脂基板であることを特徴とする請求項1記載の半導体パッケージの製造方法。
- 【請求項9】 前記回路基板は、基材が有機樹脂のみで形成された樹脂基板であることを特徴とする請求項1記載の半導体パッケージの製造方法。
- 【請求項10】 前記ICチップの接続パターンと外部接続用電極が前記回路基板の反対面にあることを特徴とする請求項1記載の半導体パッケージの製造方法。
- 【発明の詳細な説明】
- 【0001】
- 【発明の属する技術分野】 本発明は半導体パッケージの製造方法に係わり、更に詳しくはフリップチップ実装したBGA・LGAの半導体パッケージの製造方法に関するものである。
- 【0002】
- 【従来の技術】 近年、半導体パッケージの小型化、高密度化に伴い、チップを直接ウェイスダウんで、基板上に実装するフリップチップボンディングが実用化されている。カメラ型VTRや携帯電話機等の登場により、ペーパーチップと略同サイズの小型パッケージ、所謂CSP(チップサイズ/スルー・パッケージ)を載せた携帯機器が相次いで登場してきている。最近CSPの開発は急速に進み、その市場要求が本格化している。
- 【0003】 図3は、従来の単個のフリップチップ実装BGAの製造工程を示す断面図である。図3(a)において、回路基板1は略四角形でガラスエポキシ樹脂等よりなる上下両面に銅箔張りの樹脂基板で、該樹脂基板には複数のスルーホール2が切削ドリル等の手段により加工された後、前記樹脂基板の全表面に無電解メッキ及び電解メッキにより銅メッキ層を形成し、前記スルーホール2内まで施される。
- 【0004】 更に、メッキレジストをラミネートし、露光現像してパターンマスクを形成した後、エッチング液を用いてパターンエッチングを行うことにより、上面側にはIC接続用電極3を、下面側にはマトリクス状のパッド電極である外部接続用電極4を形成する。次に、ソルダーレジスト処理を行い、所定の部分にレジスト膜を形成することにより、前記樹脂基板の下面側には外部接続用電極4を露呈するように、マトリクス状に多数の同一形状の半田付け可能な被面であるレジスト膜開口部を形成することにより回路基板1が完成される。
- 【0005】 図3(b)、(c)において、前記回路基板1の上面側のパッド電極である外部接続用電極4に、例えば、6/4半田の半田ボール9をフラックス12を塗布して仮固定する。
- 【0006】 図3(d)において、ICチップ5側について、前記半田ボール電極を構成する半田ボール9と半田の組成が同量の6/4半田の半田パンプ7を形成する。該半田パンプ7にフラックス12を塗布した後、図3(e)で前記回路基板1の上面側に形成したIC接続用電極3に仮固定する。
- 【0007】 図3(f)において、上記した半田パンプ7及び半田ボール9の半田組成が同量の6/4半田のため、加熱炉中で210〜230℃程度に加熱することにより、フラックス12が半田と溶融して、一回のリフロー工程で、前記回路基板1のIC接続用電極3にICチップ5を接続すると同時に、外部接続用電極4にマザーボードに接続用の半田ボール電極10を形成する。
- 【0008】 図3(g)において、フリップチップ実装されたICチップ5を保護するためにその側面を覆うように、熱硬化性の封止樹脂8でサイドモールドする。前記ICチップ5の非電極形成面の少なくとも一部は露出されているので、熱放散性は良好である。以上によりフリップチップ・キャビティアップBGA13が完成される。

る。

の裏面には、主粘性が感じずには勿論のことで、LSPのチップと樹脂同士の小型パッケージ化であるCSPにおいては、LSPとICチップ5と回路基板1の外形の差が極めて少ないので、樹脂封止の際に封止樹脂8をICチップ5の下へ注入するの、注入スぺースが無くならない。また、前回回路基板5の外縁から最外周に位置するボール電極の中心までの距離が無くならない、半田ボール付け時の治具ズレが避けられなくなる。

【0010】そこで、上記問題を解決するために多数個取りし、高密度実装化した従来技術が特開平8-153819号公報に開示されている。以下図面に基づいてその概要を説明する。

【0011】図4において、矩形状の回路基板1にスルーホール2を形成後、銅メッキ層を施す工程と、全ての回路パターンと接続する共通電極14を含む複層回路、例えば3個のBGAを構成する回路パターンを形成する工程と、前記回路基板1の上下両面に感光性樹脂被膜を施した後、エッチングにより、共通電極14及びICチップ、ボンディングワイヤ、半田パンプの各接続部を除くようにドライフィルムを形成するドライフィルムラミネート工程と、前記共通電極14を利用して前記回路基板1の下面の露出している電極の銅メッキ層の表面に、Ni—Auメッキ層を形成する。

【0012】次に、共通電極14と回路パターンとを分離するパターン分層工程は、製品分離ライン15の周辺に沿って、その四隅に回路基板1と連結する連結部15aを設けように、ルーテ加工により長穴16を穴明けする。その後、ワイヤ—ボンディング及びボタンスワッチモールドにより樹脂封止し、回路基板1の下面に半田パンプを形成する。

【0013】製品分離工程は、前記四隅に残した連結部は狭隙なため、プレス抜き等の切り離し手段で余分な負荷をかけることなく極めて容易に分離することにより、単個のBGAを製造することができる。

[0014]

【発明が解決しようとする課題】しかしながら、前述した短冊状の複数個取りする半導体パッケージの製造方法には次のような問題点がある。即ち、先に述べた単個の半導体パッケージの製造方法と比較して生産性は若干向上するが、小型パッケージであるＣＳＰにおいては、回路基板製造時の基板個数が少なく、生産コストが高くなる。また、前記ＣＳＰのように、前記回路基板の外縁から最外周に位置するボール電極の中心までの距離が段々で無くなること、製品分離工程でプレス抜き等の切り離し手段で分離する時の変型押さえ代が無くなる等の問題があった。

【0015】本発明は上記従来の課題に鑑みなされたものであり、その目的は、小型携帯機器等に搭載するCS

Pの信頼性及び生産性の優れた半導体パッケージの製造方法を提供するものである。

【0016】
課題を解決するための手段（手段）上記目的を達成するため
に、本発明における導体パッケージの製造方法は、I
Cチップをフリップチップ実装した半導体パッケージの
製造方法において、前記ICチップ実装用の配線パター
ンと外部接続用電極とを形成するための電極パターンとを
集合回路基板上に露出部分別列して形成する回路基板形
成工程と、前記実装パターンと前記ICチップを実装す
るICチップ実装工程と、該ICチップを樹脂封止する
封止工程と、前記外部接続用電極に電極を形成する電極
形成工程とにより、パッケージ集合体を形成し、該パッ
ッケージ集合体の回路基板を切削して単個の完成半導体パッ
ッケージを形成する工程とからなることを特徴とする
ものである。

【0017】また、前記パッケージ集合体の回路基板を切削する部分に回路パターンが無いことを特徴とするものである。

【0018】また、前記切削工程は、前記パッケージ集
合体を接着剤で治具に固定する工程と、切削工程と、剥
離工程とからなることを特徴とするものである。

【0019】また、前記切削工程における切削しろが、
0.2mm以下であることを特徴とするものである。
【0020】また、前記単面の半導体パッケージは、そ
の外形寸法が前記ICチップ外形の1.2倍以下である
ことを特徴とするものである。

【0021】また、前記単個の半導体パッケージは、その回路基板の外縁から最外周に位置する外部接続用電極の中心までの距離が、1 mm以下であることを特徴とするものである。

【0022】また、前記封止工程における封止樹脂が複
数のＩＣチップを囲い形成され、該封止樹脂を切削工
程で同時に切削することを特徴とするものである。

【0023】また、前記回路基板は、ガラスファイバー
を覆層した樹脂基板であることを特徴とするものであ
る。

【0024】また、前記回路基板は、基材が有機樹脂の
みで形成された樹脂基板であることを特徴とするもので
ある。

【0025】また、前記ICチップの接続パターンと外部接続用電極が前記回路基板の反対面にあることを特徴とするものである。

[0026]

【発明の実施の形態】以下図面に基づいて本発明における半導体パッケージの製造方法について説明する。図1は本発明の実施の形態で、リップチップ・キャピティップBGAの製造工程の説明図、図2は図1の完成リップチップBGAの断面図である。従来技術と同一部材は同一符号で示す。

【0027】先ず図1(a)及び(b)に示す多数個取り得る回路基板形成工程は、両面銅張りされた集合回路基板1Aにスループホール(図示しない)を形成した後、無電解銅メッキ及び電解銅メッキにより銅メッキ層を形成し、更にメッキ層をラミネートし、露光現像してパターンマスクを形成した後、エッチング液を用いてパターンエッチングを行うことにより、前記集合回路基板1Aの上側面には多数個分配列したIC接続用電極3、下側面にはパッド電極である外部接続用電極4を形成する。次にソルダーレジスト処理を行い、所定の部分にレジスト膜を形成することにより、前記集合回路基板1Aの下面側には外部接続用電極4を露呈するように、マトリックス状に多数の同一形状の半田付け可能な表面であるレジスト膜の開口部を形成し、多数個取り得る集合回路基板1Aが完成される。

【0028】図1(c)、(d)及び(e)に示すICチップ実装工程は、先ず、ICウエハ5aをパンプ工程に流して前記ICウエハ5aのパッド電極面に半田パンプ7を形成する。前記半田パンプ7の形成方法は、一般に、スタックパンプ方式、ボールパンプ方式、及びメッキパンプ方式等があるが、その中で、パッド電極位置にレジストに墨を形成し半田浴槽中に浸してメッキにて半田パンプを形成するメッキパンプ方式は、パッド・電極間の狭い配列でパンプを形成することが可能で、ICチップの小型化には有効な半田パンプの形成手段である。

【0029】前記半田パンプ7を形成後、前記ICウエハー5aを粘着テープ等で貼着した状態で、所定のチップサイズにダイシングソー等の装置でウエハーの厚みをフルカット方式でX、Y方向に切断した後、ICチップ5を単体に分割する。

【0030】前記半田パンパ付きICチップ5、又は前記した集合回路基板1Aの前記配線パターンの所定位置にフラックスを塗布して、単体に分割した前記ICチップ5を1個ずつ複数個分配列した集合回路基板1Aの個々の回路基板1上の所定位置に搭載した後、半田リフロー工程を経て、フリップチップ実装を行う。

【0031】図1(f)に示す封止工程は、熱硬化性の封止樹脂7で前記隣接する複數個のICチップ5に隣がった状態で、サイドポッティングにより一体的に樹脂封止することにより、ICチップ5はフェイスダウンで集回路基板1Aの個々の回路基板1上に固定される。

【0032】図1 (g) に示すポール電極を形成するポール形成工程は、前記集合回路基板1Aの隅々の回路基板1の下面側に形成された外部接続用電極4の位置に、半田ポールを配置してリフローすることによりポール電極9を形成する。

【0033】図1(h)に示す切削工程は、前記フリップチップBGA集合体20Aを接着剤又は両面粘着テープ等の固定手段で治具に固定した後、ダイシングソー等

の切削手段で、X、Y方向に単個に切削、分割し、溶解液等により前記治具から剥離することにより、単個のフリップチップBGA20が完成する。

【0034】前記切削工程において、従来のワイヤボ
ーディングの場合は電気メッキ用共通電極があり、切削
すると共通電極が残ること、パターンが剥離してその
処理が面倒であったが、前記回路基板1はフリップチップ
のプロセスの場合とは電解で処理できるので、この場
合は銅箔パターンが方形パッドに出ている。切削部分
に回路パターンが無いが、前記パターンが剥離、めくれ等の
面倒な問題が生じない。

【0035】また、切削工程における切削利しろは、従来の短冊状の製品分離工程でのプレス抜き等の切断幅、例えば1mm程度とは異なり、例えば0.2mm以下と少なく、前記集合回路基板1Aの場合、前記ダイシングソナーのブレードの端による切削利しろで基板取りが出来るので、隣接する基板とのピッチを著しく狭くすることが可能である。従って、基板取り個数が増加する。また、正方形又は矩形形状のパッケージにおいては、X、Y、Y方向に直交して切削できるため、基板片面を更に低減するので有効である。

【0036】上述のように切削しるが究極の取りしるのため、単個の完成フリップチップBGA20は、図2に示すように、そのパッケージの外形寸法D1がICチップ5の外形寸法D2の1、2倍以下にすることが可能である。従って、CSPとして満足できるものである。

【0037】前記ボール形成工程において、前記嵌合回路基板1Aの状態でも平坦化層100の付加を行うので、ボール付け時の治具しるは必要となり、単個の完成フリップチップBGA20は、図2に示すように、その外縁から最外周に位置するボール電極9の中心までの距離Pが1mm以下とするのが可能である。従って、CSPとして採用できるものとなる。

【0038】前記樹脂封止において、封止樹脂7が樹脂5の隣接する1Cチップ5を覆いて形成されているので、樹脂封止の際に封止樹脂を隣接する1Cチップ5の下へ注入するのに注入スペースが狭い。前記1Cチップ5間を覆い、前記封止樹脂7は前記切削工程と同時に切削することができる。

【0039】前回路基板1の基材を、ガラスファイバーを積層した樹脂基板にすることにより、配線パターンを細くして高密度化でき、集合回路基板にして多数個取りすることにより、更に安価に製造することが出来る。

【0040】前記回路基板1の基材を、有機樹脂のみで形成した樹脂基板にすることにより、上記ガラスファイバーを覆った回路基板に比較して、超薄型にすることが可能である。

【0041】前記CSPとしては一般的に、前記ICチップ接続用電極3とボール電極9が前記回路基板1の反

対面に配設したものである。

【0042】以上、フリップチップ実装したBGAについて説明したが、パッケージの底面に平らな電極（ランド）をアレレイ状に形成したLGAについても全く同様であるので、その説明は省略する。

【0043】

【発明の効果】以上説明したように、本発明の半導体パッケージの製造方法によれば、前記集合回路基板の上面側に複数個分配して回路基板にICチップをフリップチップ実装し、封止樹脂でサイドモールドして、下面側の外部接続用電極に電極形成後、切削して単個の半導体パッケージを製造することにより、CSPの生産性が優れ、安価に生産することができる。

【0044】フリップチップ実装のプロセスで無電極メッキ処理ができるので、切削部分に回路パターンが無く、切削によるパターンの剥離、めくれ等々面倒な処理は不要である。

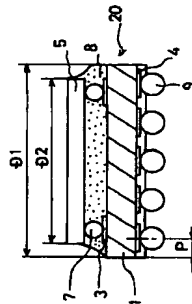
【0045】切削工程は、パッケージ集合体の状態で、治具に固定、切削、剥離を行うので、回路基板を歩留り良く活用することができる。

【0046】切削しるが0.2mm以下と少なく、フレードの幅による切削しるのみで基板取りが出来るので、隣接する基板とのピッチを著しく小さく、基板取り個数が増加する。また、正方形又は矩形形状のパッケージにおいては、X、Y方向に直交して切削できるので、基板単面を低減するのに有効である。

【0047】パッケージの外形がICチップ外形の1.2倍以下である。また、パッケージの外縁から最外周の外部接続用電極までの距離が1mm以下であることは、CSPとして満足できるものである。

【0048】封止樹脂が隣接するICチップを挟んで形成されているので、樹脂封止の際に注入スペースが最も、封止樹脂を切削工程で同時に切断できる。

【図2】



【0049】回路基板の基材をガラスファイバーを積層することにより、安面になる。また有機樹脂のみによることにより、極薄にすることが可能である。

【0050】以上述べたように、集合回路基板によりICチップを隣接する基板とのピッチを著しく狭くフリップチップ実装して、ダイシングソーのブレードの幅による究極の切削しるのみで基板取りが出来るので、生産コストは低減する。小型携帯機器等に搭載するCSPの信頼性及び生産性の優れた半導体パッケージの製造方法を提供することが可能である。

【図面の簡単な説明】

【図1】本発明の実施の形態に係るフリップチップ・キャピティアップBGAの製造工程の説明図である。

【図2】図1の単個の完成フリップチップBGAの断面図である。

【図3】従来の単個のフリップチップ・キャピティアップBGAの製造工程の要部断面図である。

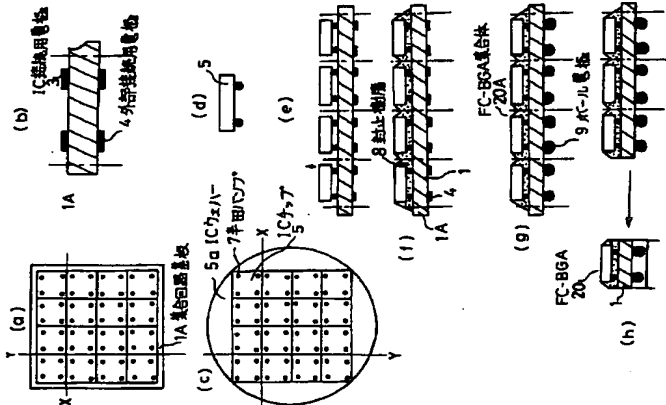
【図4】従来の短冊状のBGAの平面図である。

【符号の説明】

- 1 回路基板
- 1A 集合回路基板
- 3 IC接続用電極
- 4 外部接続用電極
- 5 ICチップ
- 7 半田バンプ
- 8 封止樹脂
- 9 ポール電極
- 20 フリップチップBGA
- 20A フリップチップBGA集合体
- D1 パッケージ外形寸法
- D2 ICチップ外形寸法
- P パッケージの外縁から最外周のポール電極の中心までの距離

(6)

【図1】



【図4】

